

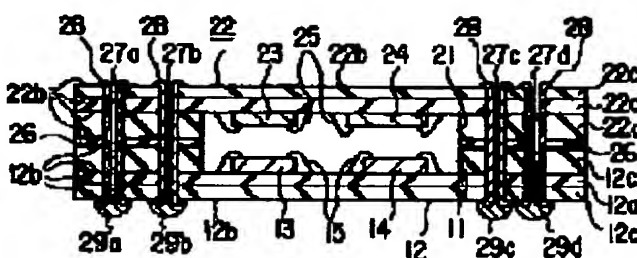
SEMICONDUCTOR DEVICE

Publication number: JP8130288
Publication date: 1996-05-21
Inventor: OTSUKA MASASHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** *H01L25/18; H01L25/04; H01L25/18; H01L25/04; (IPC1-7): H01L25/04; H01L25/18*
- **European:**
Application number: JP19940267281 19941031
Priority number(s): JP19940267281 19941031

[Report a data error here](#)

Abstract of JP8130288

PURPOSE: To provide a semiconductor device in which, even if the mounting area is small, the scale of a system which can be placed is not restricted. **CONSTITUTION:** A first recess 11 is provided on the upper surface of a first multilayer board 12 having a wiring pattern 12b, first and second semiconductor chips 13, 14 are placed in the recess 11, and the chips 13, 14 are connected to a wiring pattern 12b by bonding wires 15. A second recess 21 is provided on the upper surface of a second multilayer board 22 having a wiring pattern 22b, third and fourth semiconductor chips 23, 24 are placed in the recess 21, and the chips 23, 24 are connected to a wiring pattern 22b by bonding wires 25. The surface of the board 12 is adhered to that of the board 22 by prepreg 26. Accordingly, even if the mounting area is small, a semiconductor device in which the scale of a system which can be placed is not restricted can be provided.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-130288

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl.⁶

H 0 1 L 25/04
25/18

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/ 04

Z

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21)出願番号 特願平6-267281

(22)出願日 平成6年(1994)10月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大塚 雅司

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

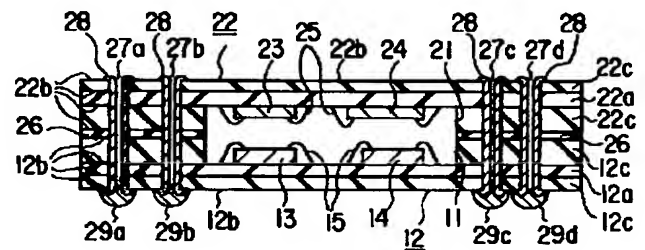
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】この発明は、実装面積が小さくても、搭載可能なシステムの規模が制約を受けることのない半導体装置を提供する。

【構成】配線パターン12bを有する第1の多層基板12の上面に第1の凹部11を設け、この凹部11に第1、第2の半導体チップ13、14を搭載し、半導体チップ13、14をボンディングワイヤ15により配線パターン12bと接続する。配線パターン22bを有する第2の多層基板22の上面に第2の凹部21を設け、この凹部21に第3、第4の半導体チップ23、24を搭載し、半導体チップ23、24をボンディングワイヤ25により配線パターン22bと接続する。第1の多層基板12の上面と第2の多層基板22の上面とをブリップレグ26によって接着する。従って、実装面積が小さくても、搭載可能なシステムの規模が制約を受けることのない半導体装置を提供できる。



【特許請求の範囲】

【請求項 1】 第 1 の配線パターンを有する第 1 の多層基板と、
 前記第 1 の多層基板の上面に設けられた第 1 の凹部と、
 前記第 1 の凹部に搭載された少くとも 1 つの第 1 の半導体素子と、
 前記第 1 の半導体素子と前記第 1 の配線パターンとを接続する第 1 の接続手段と、
 第 2 の配線パターンを有する第 2 の多層基板と、
 前記第 2 の多層基板の上面に設けられた第 2 の凹部と、
 前記第 2 の凹部に搭載された少くとも 1 つの第 2 の半導体素子と、
 前記第 2 の半導体素子と前記第 2 の配線パターンとを接続する第 2 の接続手段と、
 前記第 1 の多層基板の上面と前記第 2 の多層基板の上面とを接着することにより、前記第 1 及び第 2 の凹部によって形成された空間において前記第 1 及び第 2 の半導体素子を気密封止する接着手段と、
 前記第 1 及び第 2 の多層基板に形成されたスルーホールと、
 を具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 の多層基板の下面に位置する前記スルーホール的一端に設けられた半田バンプをさらに含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 及び第 2 の接続手段は、ボンディングワイヤであることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 1 及び第 2 の接続手段は、半田バンプであることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記第 2 の半導体素子の下に設けられ、前記第 2 の多層基板に埋め込まれた放熱手段をさらに含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記第 1 及び第 2 の接続手段は、ボンディングワイヤであることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記第 1 の多層基板の下面に位置する前記スルーホール的一端に設けられた半田バンプをさらに含むことを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 第 1 の配線パターンを有する第 1 の多層基板と、
 前記第 1 の多層基板の上面に設けられた第 1 の凹部と、
 前記第 1 の凹部に搭載された少くとも 1 つの第 1 の半導体素子と、
 前記第 1 の半導体素子と前記第 1 の配線パターンとを接続する第 1 の接続手段と、
 第 2 の配線パターンを有する第 2 の多層基板と、
 前記第 2 の多層基板の上面に設けられた第 2 の凹部と、
 前記第 2 の凹部に搭載された少くとも 1 つの第 2 の半導体素子と、

前記第 2 の半導体素子と前記第 2 の配線パターンとを接続する第 2 の接続手段と、
 前記第 1 の多層基板の上面と前記第 2 の多層基板の上面とを接着することにより、前記第 1 及び第 2 の凹部によって形成された空間において前記第 1 及び第 2 の半導体素子を気密封止する第 1 の接着手段と、
 第 3 の配線パターンを有する第 3 の多層基板と、
 前記第 3 の多層基板の上面に設けられた第 3 の凹部と、
 前記第 3 の凹部に搭載された少くとも 1 つの第 3 の半導体素子と、
 前記第 3 の半導体素子と前記第 3 の配線パターンとを接続する第 3 の接続手段と、
 前記第 2 の多層基板の下面と前記第 3 の多層基板の上面とを接着することにより、前記第 3 の凹部と前記第 2 の多層基板の下面とによって形成された空間において前記第 3 の半導体素子を気密封止する第 2 の接着手段と、
 前記第 1 乃至第 3 の多層基板に形成されたスルーホールと、
 を具備することを特徴とする半導体装置。

20 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置に関するもので、特に高密度、ローコストを要求される中規模 MCM (マルチ・チップ・モジュール) のパッケージ構造に使用されるものである。

【0002】

【従来の技術】図 8 は、従来の半導体装置を示す断面図である。多層基板 1 の上面には複数の半導体素子 2 が搭載されており、これら半導体素子 2 はボンディングワイヤ 3 により多層基板 1 の配線パターン層 1a と電気的に接続されている。多層基板 1 の下面には表面実装のための半田バンプ 4 が設けられており、半田バンプ 4 は配線パターン層 1a と電気的に接続されている。

【0003】前記多層基板 1 の上面には、半導体素子 2 を気密封止するためのシェル 5 が設けられている。尚、封止方法としては、この気密封止タイプ他、トランスファモールドを行うことによる非気密封止タイプとすることも可能である。

【0004】

【発明が解決しようとする課題】ところで、上記従来の半導体装置では、半田バンプ 4 により実装する面実装の方式を用いているため、実装面積に比べて I/O 数が多くとれるという利点を持っている。しかし、半導体素子 2 を搭載する面が一平面に限定されているため、搭載可能なシステムの規模が制約を受けることになる。すなわち、上記装置では、素子搭載面が一平面であるため、プリント基板への実装面積が小さいわりに多くの I/O 数をとることができても、これを活用するだけの半導体素子を半導体装置に搭載することができない。このような、素子搭載面と実装面との利用価値がアンバランスで

あるという欠点がある。

【0005】この発明は上記のような事情を考慮してなされたものであり、その目的は、実装面積が小さくても、搭載可能なシステムの規模が制約を受けることのない半導体装置を提供することにある。

【0006】

【課題を解決するための手段】この発明は、上記課題を解決するため、第1の配線パターンを有する第1の多層基板と、前記第1の多層基板の上面に設けられた第1の凹部と、前記第1の凹部に搭載された少くとも1つの第1の半導体素子と、前記第1の半導体素子と前記第1の配線パターンとを接続する第1の接続手段と、第2の配線パターンを有する第2の多層基板と、前記第2の多層基板の上面に設けられた第2の凹部と、前記第2の凹部に搭載された少くとも1つの第2の半導体素子と、前記第2の半導体素子と前記第2の配線パターンとを接続する第2の接続手段と、前記第1の多層基板の上面と前記第2の多層基板の上面とを接着することにより、前記第1及び第2の凹部によって形成された空間において前記第1及び第2の半導体素子を気密封止する接着手段と、前記第1及び第2の多層基板に形成されたスルーホールと、を具備することを特徴としている。

【0007】また、前記第1の多層基板の下面に位置する前記スルーホールの一端に設けられた半田バンプをさらに含むことを特徴としている。また、前記第2の半導体素子の下に設けられ、前記第2の多層基板に埋め込まれた放熱手段をさらに含むことを特徴としている。

【0008】

【作用】この発明は、第1の多層基板の第1の凹部に少くとも1つの第1の半導体素子を搭載し、第2の多層基板の第2の凹部に少くとも1つの第2の半導体素子を搭載し、第1の多層基板の上面と第2の多層基板の上面とを接合剤により接着している。これにより、第1の多層基板の下面の面積がプリント基板への実装面積となり、この実装面積が小さいわりに多くの半導体素子を搭載することができる。したがって、この半導体装置は、実装面積が小さくても、搭載可能なシステムの規模が制約を受けることがない。

【0009】また、第2の多層基板に放熱手段を埋め込んでいるため、第2の凹部の底面に、出力の大きな、発熱量の多い半導体素子を搭載しても、この素子から発生する熱を前記放熱手段によって外部へ放出することができる。

【0010】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1乃至図3は、この発明の第1の実施例による半導体装置の製造方法、即ち3D(dimension) - BGA(Ball Grid Array)の製造方法を示す断面図であり、図4は、図3に示すスルーホールの部分を拡大した断面図である。

【0011】先ず、図1に示すように、上面に第1の凹部11を有すると共にキャビティを有する有機系の第1の多層基板12を準備する。この第1の多層基板12は、次のような構成とされている。FR-5(難燃性ガラスエポキシ)、BT(ビスマレイミドトリアジン)レジンガラス布基板又は変性ポリイミドガラス布基板等のうちのいずれかの基板12aの上面に配線パターン12bが形成され、この配線パターン12bの上に接着材であるプリプレーグ12cを介して配線パターン12bが形成され、前記基板12aの下面に配線パターン12bが形成され、この配線パターン12bの下にプリプレーグ12cを介して配線パターン12bが形成されている。

【0012】次に、前記第1の多層基板12の第1の凹部11の底面には第1及び第2の半導体チップ13、14が搭載される。その後、図2に示すように、第1及び第2の半導体チップ13、14それぞれは、ボンディングワイヤ15によって第1の多層基板12の配線パターン12bに電気的に接続される。次に、この段階での信頼性を高めるために、ポッティングを施しても良い。即ち、第1の多層基板12の第1の凹部11に樹脂を導入することによって第1、第2の半導体チップ13、14およびボンディングワイヤ15を封止しても良い。

【0013】次に、上記第1の多層基板12の場合と同様に、上面に第2の凹部21を有すると共にキャビティを有する有機系の第2の多層基板22を準備する。この第2の多層基板22の材質等は、第1の多層基板12のそれと同様である。

【0014】この後、この第2の多層基板22の第2の凹部21の底面に第3及び第4の半導体チップ23、24が搭載される。次に、第3及び第4の半導体チップ23、24それぞれは、ボンディングワイヤ25によって第2の多層基板22の配線パターン22bに電気的に接続される。

【0015】次に、図3に示すように、第1の多層基板12の上面と第2の多層基板22の上面とがプリプレーグ26を用いて接着され、これら多層基板12、22はプレスされる。これにより、第1及び第2の凹部11、21により形成される空間において、第1、第2の半導体チップ13、14と第3、第4の半導体チップ23、24とは対向した状態で、気密封止される。

【0016】この後、第1及び第2の多層基板12、22には第1乃至第4の貫通孔が設けられ、これら貫通孔それぞれの内表面にはメッキ28が施される。これによって、第1及び第2の多層基板12、22には第1乃至第4のスルーホール27a~27dが形成され、スルーホール27a~27dにより第1及び第2の多層基板12、22は相互に電気的に接続される。この際の第4のスルーホール27dを拡大した断面図は図4に示されている。

【0017】次に、第1の多層基板12の下面におけるスルーホール27a～27dそれぞれの一端には半田バンプ29a～29dが取り付けられる。この半田バンプ29a～29dは、半導体装置を図示せぬプリント基板に実装する際に用いるものである。

【0018】上記第1の実施例によれば、第1の多層基板12の上面と第2の多層基板22の上面とをプリプレグ26を用いて接着している。これにより、第1の多層基板12の下面の面積がプリント基板への実装面積となり、この実装面積が小さいわりに多くの半導体素子、即ち第1乃至第4の半導体チップ13、14、23、24を多層基板12、22に搭載することができる。つまり、実装面積に比べて多くとれるI/O数を充分に活用できる程度の半導体素子を多層基板12、22に搭載することができる。この結果、素子搭載面と実装面との利用価値がアンバランスになるという欠点を解消することができる。即ち、実装面積が小さくても、搭載可能なシステムの規模が制約を受けることのない3D-BGAを提供することができる。

【0019】また、第1及び第2の多層基板12、22をプリプレグを用いて接着しプレスするという基板積層技術を封止方法として用いているため、より高密度で安価なMCM-L (Laminated Print Circuit Board)、即ち多層有機基板を用いたMCMとしての3D-BGAを提供することができる。

【0020】尚、上記第1の実施例では、第1及び第2の多層基板12、22からなる2枚の基板を互いに重ね合せているが、搭載可能なシステムの規模を大きくするために3枚以上の基板を互いに重ね合せることも可能である。

【0021】また、貫通したスルーホール27a～27dを使用しているが、IVH (Interstitial Via Hole)を使用することも可能である。また、スルーホール27a～27dそれぞれの内表面にメッキ28を施すことにより、第1及び第2の多層基板12、22を相互に電気的に接続しているが、ホールに金属ピン等を挿入することにより、多層基板12、22を相互に電気的に接続することも可能である。

【0022】図5は、この発明の第1の実施例による半導体装置の他の例を示す断面図であり、図3と同一部分には同一符号を付し、異なる部分についてのみ説明する。第1及び第2の多層基板12、22の場合と同様に、第3の凹部31を有すると共にキャビティーを有する有機系の第3の多層基板32を準備する。この第3の多層基板32の材質等は、第1の多層基板12のそれと同様である。

【0023】この後、この第3の多層基板32の第3の凹部31の底面に第5及び第6の半導体チップ33、34が搭載される。次に、第5及び第6の半導体チップ33、34それぞれは、ボンディングワイヤ35によって

第3の多層基板32の配線パターン32bに電気的に接続される。

【0024】次に、第1の多層基板12の上面と第2の多層基板22の上面とがプリプレグ26を用いて接着される。この後、第1及び第2の多層基板12、22には第1乃至第4の貫通孔が設けられ、これら貫通孔の内表面にはメッキ28が施される。これによって、多層基板12、22にはスルーホール27a～27dが形成される。次に、第3の多層基板32には第5の貫通孔が設けられ、この貫通孔の内表面にはメッキ38が施される。これによって、多層基板32には第5のスルーホール37aが形成される。

【0025】この後、第2の多層基板22の下面と第3の多層基板32の上面とがプリプレグ36を用いて接着され、これら多層基板12、22、32はプレスされる。これにより、第3の凹部31と第2の多層基板22の下面とにより形成される空間において、第5、第6の半導体チップ33、34は気密封止される。

【0026】次に、第1乃至第3の多層基板12、22、32には第6の貫通孔が設けられ、この貫通孔の内表面にはメッキ38が施される。これによって、多層基板12、22、32には第6のスルーホール37bが形成され、このスルーホール37bによって第1乃至第3の多層基板12、22、32は相互に電気的に接続される。

【0027】この後、第1の多層基板12の下面におけるスルーホール27a～27d、37bそれぞれの一端には半田バンプ29a～29fが取り付けられる。上記他の例においても第1の実施例と同様の効果を得ることができ、しかも、第1乃至第3の多層基板12、22、32を互いに重ね合せているため、第1の実施例よりさらに多くの半導体素子を多層基板12、22、32に搭載することができる。

【0028】図6は、この発明の第2の実施例による半導体装置を示す断面図であり、図3と同一部分には同一符号を付し、第1の実施例と異なる部分についてのみ説明する。

【0029】第1の多層基板12の第1の凹部11の底面には第1乃至第3の半導体チップ13、14、41が搭載される。この後、これら半導体チップ13、14、41それぞれは、ボンディングワイヤ15によって第1の多層基板12の配線パターン12bに電気的に接続される。

【0030】次に、上面に第2の凹部21を有する第2の多層基板22を準備する。この多層基板22における第2の凹部21の下に位置する下面の中央部には、銅又はアルミ等からなるヒートシンク42が設けられている。即ち、第2の多層基板22にはヒートシンク42が埋め込まれている。

【0031】この後、このヒートシンク42の上には第

4の半導体チップ43が搭載される。この第4の半導体チップ43は、出力の大きな、発熱量の多い素子である。次に、この半導体チップ43は、ボンディングワイヤ25によって第2の多層基板22の配線パターン22bに電気的に接続される。

【0032】上記第2の実施例においても第1の実施例と同様の効果を得ることができる。また、第2の多層基板22にヒートシンク42を埋め込んでいるため、第2の凹部21の底面に、出力の大きな、発熱量の多い素子である第4の半導体チップ43を搭載しても、このチップ43から発生する熱をヒートシンクによって外部へ放出することができる。したがって、放熱性に優れた3D-BGAを提供することができる。

【0033】図7は、この発明の第3の実施例による半導体装置を示す断面図であり、図3と同一部分には同一符号を付し、第1の実施例と異なる部分についてのみ説明する。

【0034】第1及び第2の半導体チップ13、14それぞれは、フリップチップ用バンプ51によって第1の多層基板12の配線パターン12bに電気的に接続される。第3及び第4の半導体チップ23、24それぞれは、フリップチップ用バンプ51によって第2の多層基板22の配線パターン22bに電気的に接続される。

【0035】上記第3の実施例においても第1の実施例と同様の効果を得ることができ、しかも、半導体チップと多層基板の配線パターンとの接続にフリップチップ用バンプを用いているため、3D-BGAの集積度を第1の実施例より高くすることができる。

【0036】

【発明の効果】以上説明したようにこの発明によれば、第1の凹部に少なくとも1つの第1の半導体素子を搭載した第1の多層基板の上面と、第2の凹部に少なくとも1つの第2の半導体素子を搭載した第2の多層基板の上面とを接着剤により接着している。したがって、実装面積が小さくても、搭載可能なシステムの規模が制約を受けることのない半導体装置を提供することができる。

* 【図面の簡単な説明】

【図1】この発明の第1の実施例による半導体装置の製造方法を示す断面図。

【図2】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図1の次の工程を示す断面図。

【図3】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図2の次の工程を示す断面図。

10 【図4】この発明の図3に示すスルーホール部分を拡大した断面図。

【図5】この発明の第1の実施例による半導体装置の他の例を示す断面図。

【図6】この発明の第2の実施例による半導体装置を示す断面図。

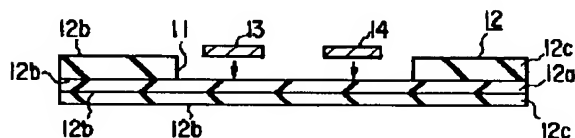
【図7】この発明の第3の実施例による半導体装置を示す断面図。

【図8】従来の半導体装置を示す断面図。

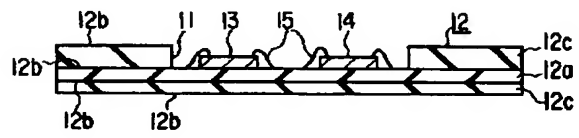
【符号の説明】

20 11…第1の凹部、12…第1の多層基板、12a…基板、12b…配線パターン、12c プリプレーグ、13…第1の半導体チップ、14…第2の半導体チップ、15…ボンディングワイヤ、21…第2の凹部、22…第2の多層基板、22a…基板、22b…配線パターン、22c プリプレーグ、23…第3の半導体チップ、24…第4の半導体チップ、25…ボンディングワイヤ、26…プリプレーグ、27a…第1のスルーホール、27b…第2のスルーホール、27c…第3のスルーホール、27d…第4のスルーホール、28…メッキ、29a～29d…半田バンプ、31…第3の凹部、32…第3の多層基板、32a…基板、32b…配線パターン、32c プリプレーグ、33…第5の半導体チップ、34…第6の半導体チップ、35…ボンディングワイヤ、36…プリプレーグ、37a…第5のスルーホール、37b…第6のスルーホール、38…メッキ、41…第3の半導体チップ、42…ヒートシンク、43…第4の半導体チップ、51…フリップチップ用バンプ。

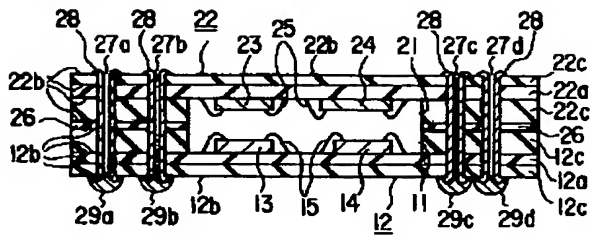
【図1】



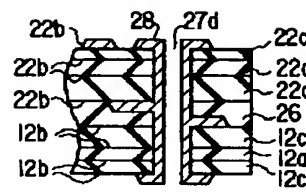
【図2】



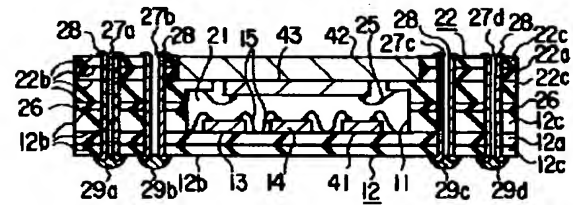
【図 3】



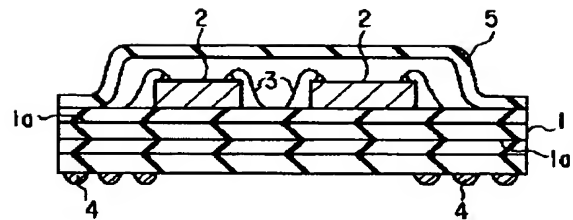
【図 4】



【図 6】



【図 8】



【図 7】

